

1/5/7

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

BEST AVAILABLE COPY

03713120

SIGNAL DELAY CIRCUIT

PUB. NO.: 04-078220 [JP 4078220 A]

PUBLISHED: March 12, 1992 (19920312)

INVENTOR(s): SHIN INSHIYOU

APPLICANT(s): SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or Corporation), KR (Korea) Republic of

APPL. NO.: 02-295170 [JP 90295170]

FILED: October 31, 1990 (19901031)

PRIORITY: 9011076 [KR 9011076], KR (Korea) Republic of, July 20, 1990 (19900720)

INTL CLASS: [5] H03K-005/13

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-78220

⑬ Int. Cl.⁴
H 03 K 5/13

識別記号

庁内整理番号
7125-5J

⑭ 公開 平成4年(1992)3月12日

審査請求 有 請求項の数 12 (全10頁)

⑮ 発明の名称 信号遅延回路

⑯ 特 願 平2-295170

⑰ 出 願 平2(1990)10月31日

優先権主張 ⑱ 1990年7月20日 ⑲ 韓国(KR) ⑳ 90-11076

⑳ 発 明 者 辛 允 承 大韓民国京畿道水原市勤善区梅灘洞(番地なし) 住公5
園地アパートメント501-302

㉑ 出 願 人 三星電子株式會社 大韓民国京畿道水原市勤善区梅灘洞416番地
㉒ 代 理 人 弁理士 平田 忠雄 外1名

明 細 書

1. 発明の名称

信号遅延回路

2. 特許請求の範囲

(1) 供給電圧と接地電圧との間に連なり、所定スレシヨルド(threshold)電圧をそれぞれ有するプルアップPMOSトランジスタとプルダウンNMOSトランジスタとを有し、少なくとも一つ以上の入力信号に応答してこれらのトランジスタの共通ドレインノード(Common Drain Node)に前記供給電圧と接地電圧との間のスイング幅を有する出力信号を駆動するための駆動回路手段と、

前記共通ドレインノードに結合され、前記供給電圧の変動範囲内で電圧に応じて増加するキャパシタンス(capacitance)特性を有するバラクタ(varactor)負荷手段とを備えたことを特徴とする信号遅延回路。

(2) 前記請求項1において、

前記バラクタ負荷手段は、前記共通ドレインノ

ードの出力信号と基準電圧との間に結合されるMOSバラクタを備えたことを特徴とする信号遅延回路。

(3) 前記請求項2において、

前記MOSバラクタは、P⁺ソース電極が前記出力信号に結合され、ゲート電極が前記基準電圧に結合される第1のPMOSバラクタを備えたことを特徴とする信号遅延回路。

(4) 前記請求項2において、

前記MOSバラクタは、n⁺ソース電極が前記基準電圧に結合され、ゲート電極が前記出力信号に結合される第1のNMOSバラクタを備えたことを特徴とする信号遅延回路。

(5) 前記請求項3において、

前記MOSバラクタは、更に、P⁺ソース電極が前記出力信号に結合され、ゲート電極が前記接地電圧に結合される第2のPMOSバラクタを備えたことを特徴とする信号遅延回路。

(6) 前記請求項3において、

前記MOSバラクタは、更に、ゲート電極が前記

出力信号に結合され、 n^+ ソース電極が前記接地電圧に結合され、そのスレシヨルド電圧が前記ブルダウ n MOSトランジスタのスレシヨルド電圧より高くない第2の n MOSバラクタを備えたことを特徴とする信号遅延回路。

(7) 前記請求項4において、

前記MOSバラクタは、更に、 p^+ ソース電極が前記出力信号に結合され、ゲート電極が前記接地電圧に結合される第2の p MOSバラクタを備えたことを特徴とする信号遅延回路。

(8) 前記請求項4において、

前記MOSバラクタは、更に、ゲート電極が前記出力信号に結合され、 n^+ ソース電極が前記接地電圧に結合され、スレシヨルド電圧が前記ブルダウ n MOSトランジスタのスレシヨルド電圧より高くない第2の n MOSバラクタを備えたことを特徴とする信号遅延回路。

(9) 前記請求項1乃至8において、

前記基準電圧は、前記供給電圧と接地電圧との間の電圧値を有することを特徴とする信号遅延回路。

路。

00 供給電圧と接地電圧との間に連結され、所定スレシヨルド電圧をそれぞれ有するブルアップ p MOSトランジスタとブルダウ n MOSトランジスタとを有し、少なくとも一つ以上の入力信号に応じてこれらのトランジスタの共通ドレインノードに前記供給電圧と接地電圧との間のスイング幅を有する出力信号を駆動するための駆動回路手段と、

前記共通ドレインノードに加わる前記出力信号に p^+ ソース電極が結合されゲート電極が前記接地電圧に結合される第1の p MOSバラクタを含むバラクタ負荷手段とを備えたことを特徴とする信号遅延回路。

01 前記請求項10において、

前記バラクタ負荷手段は、更に、 p^+ ソース電極が前記出力信号に結合され、ゲート電極が前記接地電圧に結合され、前記駆動回路手段のブルアップ p MOSトランジスタのスレシヨルド電圧と同一のスレシヨルド電圧を有する第2の p MOSバラクタを備えたことを特徴とする信号遅延回路。

02 前記請求項10において、

前記バラクタ負荷手段は、更に、ゲート電極が前記出力信号に結合され、前記 n^+ ソース電極が前記接地電圧に結合され、前記駆動回路手段の前記ブルダウ n MOSトランジスタのスレシヨルド電圧と同一のスレシヨルド電圧を有する n MOSバラクタを備えたことを特徴とする信号遅延回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は信号遅延回路に関し、より詳細には、 $CMOS$ 半導体集積回路チップの信号遅延回路に関するものである。

(従来の技術)

一般的に、半導体チップは外部から供給電圧 V_{cc} を受けてチップに集積された回路システムを動作させる。通常的に $CMOS$ 半導体チップは供給電圧 V_{cc} で5V単一電圧を使用する。しかし、 $CMOS$ 半導体チップは $V_{cc} \pm 5\%$ の供給電圧範囲が動作電圧に与えられるが、実際には4V～6Vの動作電圧範囲を有する。

一方、 $CMOS$ 半導体チップの回路システムは特別の回路目的を達成するため信号遅延回路を含んでいる。通常的に $CMOS$ 回路システムではゲートの信号伝達遅延時間を利用して所定遅延時間を有する信号遅延回路を構成している。例えば、 $CMOS$ インバータを利用した $CMOS$ 信号遅延回路が第1A図に図示されている。第1A図の回路では入力信号 V_{IN} に応じて容量性負荷 CL を駆動するための第1 $CMOS$ インバータ DRV と、容量性負荷 CL の端子電圧信号 V_o をバッファリング(buffering)して出力するためのバッファ(buffer)増幅器として第2 $CMOS$ インバータ BTT とを備えている。容量性負荷 CL の端子電圧信号 V_o は入力信号 V_{IN} に応じて第1B図に図示したような遅延特性を有する。即ち、容量性負荷 CL は、第1 $CMOS$ インバータ DRV のブルダウ n MOSトランジスタ NM を通じて接地電圧 V_{SS} または GND に放電され、ブルアップ p MOSトランジスタ PM を通じて供給電圧 V_{cc} で充電される。従って、遅延時間 T_d は、次式に基づいて、電圧下降時間 T_f 及び電圧上昇時間 T_r により決定される。

$$T_d = \frac{1}{4} (T_f + T_r) \dots\dots\dots(1)$$

ここで、式(1)は MOSトランジスタNM, PMのスレシヨルド電圧 V_{TH} , V_{TP} がおよそ $0.2V_{cc}$ であり、MOSトランジスタNM, PMの電流駆動能力 β_N, β_P が同一であると仮定すると、次式で表すことができる。

$$T_d = \frac{2 CL}{\beta V_{cc}} \dots\dots\dots(2)$$

上記(2)式によると遅延時間 T_d は容量性負荷 CL のコンデンサの大きさに比例し、供給電圧 V_{cc} に反比例することがわかる。

従って、容量性負荷 CL のキャパシタンスを一定の大きさに設定しておけば、第1C図に図示したように、遅延時間 T_d は供給電圧 V_{cc} の変動により異なってくる。即ち、低い V_{cc} では遅延時間 T_d が長くなり、高い V_{cc} では遅延時間 T_d が短くなる。
(発明が解決しようとする課題)

しかしながら、従来の信号遅延回路によれば、供給電圧 V_{cc} の動作電圧範囲、例えば、 $4V \sim$

$6V$ 内では一定の負荷キャパシタンスを維持するため、全体の回路システムの動作速度は低い V_{cc} で決定される。このため、信号遅延回路が高速動作の妨害要因となるという問題点があった。

また、高い V_{cc} では、ある回路部分の遅延特性と他回路部分の遅延特性の差異から信号動作特性の競争問題(Race Problem)の発生を防止するために、より長い遅延時間が要求されるため、これを満たそうとする場合、低い V_{cc} では遅延時間がもっとも長くなりチップ全体の高速動作を妨害するという問題点があった。

ところで、供給電圧の変動にかかわらず所定遅延時間を有するよう回路を構成するのが切実に要求されている。この要求が満たされれば低い V_{cc} での回路遅延が高い V_{cc} での回路遅延と同等となり、特に、低い V_{cc} により決定されるチップ全体の動作速度を速く保つことができるので、半導体チップの回路システムの性能を大きく改善することができる。

本発明は上記に鑑みてなされたものであって、

供給電圧の変動にかかわらず所定遅延時間特性を有する信号遅延回路を提供することを目的とする。

また、本発明は上記に鑑みてなされたものであって、半導体チップの動作速度の向上を図れる信号遅延回路を提供することを他の目的とする。
(課題を解決するための手段)

本発明は上記の目的を達成するため、供給電圧と接地電圧との間に連なり、所定スレシヨルド電圧をそれぞれ有するプルアップPMOSトランジスタとプルダウンNMOSトランジスタを含み、少なくとも一つ以上の入力信号にตอบสนองしてこれらのトランジスタの共通ドレインノードに前記供給電圧と接地電圧との間のスイング幅を有する出力信号を駆動するための駆動回路手段と、前記供給電圧の変動範囲内で電圧により増加されるキャパシタンスを有し、前記共通ドレインノードに結合するためのバクタク負荷手段とを備えた信号遅延回路を提供するものである。

(実施例)

以下、添付の図面を参照して、この発明の望ま

しい実施例を説明する。

先ず、この発明の実施例を説明する前に他の従来の信号遅延回路を説明する。

第2A図は駆動回路手段DRVとコンデンサ負荷手段CLとから構成した信号遅延回路である。駆動回路手段DRVは、スレシヨルド電圧 V_{TP} を有するプルアップPMOSトランジスタPMと、スレシヨルド電圧 V_{TH} を有するプルダウンNMOSトランジスタNMとを、供給電圧 V_{cc} と接地電圧 V_{SS} またはGNDとの間に連結し、これらのゲート電極に印加される入力信号 V_{IN} に応じてこれらの共通ドレインノードに出力信号 V_o を駆動するCMOSインバータとから構成されている。コンデンサ負荷手段CLは、上記共通ドレインノードにゲート電極が連なり、N'ソース電極(或いは、N'ドレイン電極)が接地電圧 V_{SS} に連なるNMOSコンデンサより構成されている。このNMOSコンデンサのスレシヨルド電圧 V_{THL} は、駆動回路手段DRVのプルダウンNMOSトランジスタNMのスレシヨルド電圧 V_{TH} と通常的に同一の値を有する。従って、この信号遅延

回路の C-V特性曲線は第2 B図のように表れる。即ち、出力電圧 V_o がスレッシュールド電圧 $V_{THL} \sim V_{TN}$ より大きい領域ではNMOSコンデンサーは強逆転(Strong Inversion)キャパシタンス値を有し、スレッシュールド電圧 $V_{TNL} \sim V_{TN}$ より小さい領域ではデプレッション(depletion)キャパシタンス値を有する。このため、供給電圧 V_{cc} の変動範囲、例えば、5V供給電圧で若干の誤差のある場合、即ち、4V～6V範囲内ではMOSコンデンサーが強逆転キャパシタンス値を維持する。ところで、供給電圧 V_{cc} が変動しても大部分の電圧領域では一定のキャパシタンス値を有するので、低い V_{cc} では信号遅延時間が長くなり、高い V_{cc} では短くなる。このように供給電圧の変動により遅延時間が異なるようになるので回路システムの高速動作を行いくくなる。

第3 A図は第2 A図の回路でコンデンサー負荷手段CLをPMOSコンデンサーで構成したものである。このPMOSコンデンサーのゲート電極は駆動回路手段DRVの共通ドレインノードに連なり、P'ソース

電極(或いは、P'ドレイン電極)は供給電圧 V_{cc} に連結される。第3 A図に示す信号遅延回路の C-V特性曲線は第3 B図に示したように供給電圧 V_{cc} の変動範囲内では、大部分の電圧領域で第2 A図の回路と同じく、強逆転キャパシタンス値が一定の値に維持されるのがわかる。

第4 A図は第2 A図と第3 A図のPMOS及びNMOSコンデンサーを結合した構成の信号遅延回路を示している。第4 A図の回路の C-V特性曲線は第4 B図に図示するように二つのMOSトランジスタの C-V特性曲線を組み合わせた特性を有し、NMOS及びPMOSコンデンサーの強逆転キャパシタンス値の合を負荷キャパシタンスとして有することがわかる。第4 A図の回路は第2 A図及び第3 A図の回路に比べて負荷キャパシタンス値を大きくすることができる。しかし、第4 A図の回路も供給電圧 V_{cc} の変動範囲内では供給電圧の変動に関係なく大部分の動作電圧で一定の負荷キャパシタンスを維持することがわかる。

従って、従来の信号遅延回路では駆動回路手段

DRVとMOSコンデンサー負荷手段CLのスレッシュールド電圧を同一に持たせるよう構成しており、供給電圧の変動範囲内では供給電圧の変動に関係なく大部分の動作電圧で一定の負荷キャパシタンスを維持する。このため、低い V_{cc} では信号遅延時間が長くなり、高い V_{cc} では信号遅延時間が短くなる。従って、供給電圧の変動により信号遅延時間が異なるようになるので高い V_{cc} では競合問題(race problem)が発生し、これを防ぐために高い V_{cc} 動作条件に合わせて所定遅延時間を維持するように設定するので、低い V_{cc} ではもっとも遅延時間が長くなり、全体的な回路システムの高速動作が行いくくなる。

続いて、この発明による実施例を説明する。

第5 A図はこの発明による信号遅延回路の構成図である。信号遅延回路は駆動回路手段DRVとバラクタ(Voltage variable capacitor)負荷手段VCLを含む。駆動回路手段DRVは、例えば、供給電圧 V_{cc} のような第1電源電圧と、接地電圧 V_{SS} または0Vのような第2電源電圧との間にプルア

ップPMOSトランジスタPMとプルダウンNMOSトランジスタNMを含む。そして少なくとも一つ以上の入力信号 $V_{IN1} \sim V_{INn}$ により上記プルアップ及びプルダウントランジスタPM、NMを駆動して、これらトランジスタPM、NMの共通ドレイン電極に連なる出力ノードNに供給電圧から接地電圧までの電圧スイング幅で出力電圧 V_o を駆動する。

バラクタ負荷手段VCLは、片方の電極が上記出力ノードNに連なり、他方の電極が基準電圧 V_R に連なるバラクタより構成されている。

上記バラクタは第5 B図に図示したように出力電圧 V_o に対する有効キャパシタンス C_{o-eff} の特性を有する。即ち、バラクタは特性スレッシュールド電圧 V_T を有し、基準電圧 V_R とスレッシュールド電圧 V_T の合より小さい出力電圧領域では最小キャパシタンス値を維持し、上記の合より大きい出力電圧領域では出力電圧 V_o によりキャパシタンス値が増加する特性を有する。

従って、出力電圧 V_o が供給電圧 V_{cc} レベルで駆動される時は供給電圧 V_{cc} の変動によりバラクタ

の有効キャパシタンス値が増加される。このため、低い V_{cc} 、例えば、4Vでは有効キャパシタンス $C1$ 値を有し、高い V_{cc} 、例えば、6Vでは有効キャパシタンス $C3$ 値を有する。

このようなC-V特性を有するバラクタはPMOSまたはNMOSコンデンサー、或いは、これらの組み合わせより構成できる。

第6A図及び第6B図はPMOSバラクタのシンボル図及び幾何学的構造図である。PMOSバラクタはn形シリコン基板1上に SiO_2 のゲート絶縁膜2を介して一定幅 W と一定長さ L を有するゲート電極層3を形成し、このゲート電極層3をマスクとしてP形シリコン基板1のゲート電極層3の片側にP⁺イオンをドーピングしてP⁺ソース電極層（または、P⁺ドレイン電極層）4を形成してなるものである。上記P⁺ソース電極層4を形成するためイオンドーピングの時、シリコン基板1にドーピングされたイオンの側面拡散によりゲート電極層3とP⁺ソース電極層4は所定長さ L 程度オーバーラップされる部分が形成される。

する電圧値以上ではキャパシタンス値が小さくなり、それより電圧が低くなるとキャパシタンス値が大きくなるので、この発明の、バラクタ負荷手段VCLとしては不都合である。

第7A図は第6A図のPMOSバラクタとは反対にP⁺ソース電極層4に出力電圧 V_o が供給され、ゲート電極層3に基準電圧 V_R が供給されるように連結したもので、第7B図のC-V特性曲線を有する。従って、第7A図の連結構造はこの発明で要求するC-V特性を有する。

第8A図はNMOSバラクタのシンボル図である。NMOSバラクタはゲート電極が出力電圧 V_o と結合され、n⁺ソース電極が基準電圧 V_R と結合されるように連なる。従って、NMOSバラクタは出力電圧 V_o が基準電圧 V_R とスレショルド電圧 V_{THL} の合より高くなる時、強逆転キャパシタンス値 Co_{HI} を有し、合より低くなる時、オーバーラップキャパシタンス値 Co_{HI} を有する。そして、第8A図の連結構造はこの発明で要求するC-V特性を有する。

第9A図はゲート電極に基準電圧 V_R が結合され

このPMOSバラクタはチャンネル領域の不純物濃度と、ゲート絶縁膜2の厚さ及び誘導定数等により所定スレショルド電圧値 $VTPL$ を有する。

従って、PMOSバラクタは第6B図に図示したようにC-V特性曲線を有する。即ち、ゲート電極層3に出力電圧 V_o が供給され、P⁺ソース電極層4に基準電圧 V_R が供給される時、ゲートとソースとの間のキャパシタンス C は、

$$C = Co_{HI}, (V_o > V_R + VTPL \text{ の場合})$$

$$C = Co_{HI}, (V_o < V_R + VTPL \text{ の場合})$$

の値を有する。ところで、基準電圧 V_R が0Vである時、スレショルド電圧 $VTPL$ 以下ではゲート電極層とソース電極層のオーバーラップされる面積のキャパシタンス値を有し、スレショルド電圧 $VTPL$ 以上では全ゲート電極層の面積のキャパシタンス値を有する。前記キャパシタンス値の遷移(Transition)は1V以内で生ずる。

従って、基準電圧 V_R の値によりキャパシタンス値の遷移が生ずる電圧値を調整することができる。

しかし、上述したPMOSバラクタは、遷移が発生

n⁺ソース電極に出力電圧 V_o が結合されるように連なるNMOSバラクタのシンボル図である。第9A図で第8A図と連結構成が反対たるNMOSバラクタのC-V特性はこの発明で要求する特性ではない。

従って、この発明では所望のC-V特性を有する第7A図のPMOSバラクタもしくは第8A図のNMOSバラクタをバラクタ負荷手段VCLとして採用する。第7B図もしくは第8B図のC-V特性曲線を参照してバラクタ負荷手段VCLの有効キャパシタンス $Co \cdot eff$ を計算すれば、次の通りである。

即ち、出力電圧 $V_o \sim V_{cc}$ 間を完全にスイングする場合、駆動トランジスタで出力電圧変化に使用される総電荷量 QT は、

$$QT = \int_{V_o}^{V_{cc}} Co(V_o) \cdot dV_o$$

の積分式により表現され、これは第7B図もしくは第8B図の斜線を引いた部分の面積に比例する。このため、有効負荷キャパシタンス $Co \cdot eff$ は次式により決定される。

$$Co \cdot eff = \frac{1}{V_{cc}} \int_{V_o}^{V_{cc}} Co(V_o) dV_o = \frac{QT}{V_{cc}}$$

即ち、有効負荷キャパシタンス Co_{eff} は出力電圧 V_o の積分である総電荷量 QT に比例する。従って、基準電圧 V_R を適切に設定することによって第5B図で実線で図示したように供給電圧 V_{cc} の変動範囲で出力電圧 V_o により増加する有効負荷キャパシタンス特性を得られる。

しかし、上述した第7A図もしくは第8A図のバラクタ負荷手段 V_{CL} は低い V_{cc} の場合、キャパシタンスが C_{max} 以下に小さくなるので信号遅延回路の遅延時間が短くなる。このため、より長い所定遅延時間を得られない。

第9A図、第10A図、第11A図、第12A図、及び、第13A図は低い V_{cc} でも十分な有効負荷キャパシタンスを得るため、上述したPMOSバラクタ及びNMOSバラクタの組合でバラクタ負荷手段を構成したその他の実施例を示している。

第9B図、第10B図、第11B図、第12B図、及び、第13B図で示したように組合バラクタ負荷手段は低い V_{cc} でも一定有効負荷キャパシタンス値を維持するので所望の遅延時間を得られ

る。ここで出力端子 N と接地の間に連なるPMOSバラクタはそのスレシヨルド電圧 V_{TPL} が駆動回路手段 DRV のPMOSトランジスタ PN のスレシヨルド電圧 V_{TP} と等しいか異なる場合もある。即ち、

$$|V_{TPL}| = |V_{TP}| \text{ or } |V_{TPL}| \neq |V_{TP}|$$

のいかなる条件下でもこの発明で期待するC-V特性を有する。

しかし、出力端子 N と接地との間に連なるNMOSバラクタは駆動回路手段 DRV のNMOSトランジスタ NH のスレシヨルド電圧 V_{TH} より大きいスレシヨルド電圧 V_{TNL} で設計される時、スレシヨルド電圧 V_{TNL} 未満の領域ではアキュムレーション(accumulation)状態となり、 C_{min} 値より大きいアキュムレーションキャパシタンス値を有することになるため、この発明で期待するC-V特性を有しないので注意すべきである。

第14A図を参照すれば、出力電圧 V_o にPソース電極が結合され、接地電圧 V_{SS} にゲート電極が結合され、駆動回路手段 DRV のPMOSトランジスタ PN のスレシヨルド電圧 V_{TP} より大きいスレシヨ

ルド電圧 V_{TNL} より高く設定されないようにするのが望ましい。

(発明の効果)

以上説明したように、本発明の信号遅延回路は、MOSバラクタあるいはこれらの組合回路構成により信号遅延回路の遅延特性を供給電圧の電圧変動と関係なしに維持できるようにしたため、CMOS半導体集積回路の高速動作と信頼性を向上させることができる。換言すれば、CMOS半導体集積回路に採用される信号遅延回路の遅延特性が供給電圧の電圧変動に従属されることによって全体的な半導体集積回路の動作速度が制限されることがない。

4. 図面の簡単な説明

第1A図は従来のCMOS信号遅延回路の構成図、第1B図は第1A図の入出力波形図、第1C図は第1A図の供給電圧による遅延時間特性グラフ線図、第2A図は従来のNMOSコンデンサを有するCMOS信号遅延回路の回路図、第2B図は第2A図のNMOSコンデンサのC-V特性グラフ線図、第3A図は従来のPMOSコンデンサを有するCMOS信号

第15A図及び第16A図は低い V_{cc} でも一定の有効負荷キャパシタンス値を維持するため、第14A図の構成に別途PMOSバラクタあるいはNMOSバラクタを追加させたバラクタ負荷手段の構成を示している。

第15B図及び第16B図には組合バラクタ負荷手段の各C-V特性曲線を示す。ここでも低い V_{cc} でキャパシタンス増加のためのPMOSバラクタのスレシヨルド電圧は制限がないが、NMOSバラクタのスレシヨルド電圧 V_{TNL} は駆動回路手段 DRV の

遅延回路の回路図、第3B図は第3A図のPMOSコンデンサのC-V特性グラフ線図、第4A図は従来のNMOS及びPMOSコンデンサを有するCMOS信号遅延回路の回路図、第4B図は第4A図の回路のC-V特性グラフ線図、第5A図はこの発明による望ましいCMOS信号遅延回路の回路図、第5B図は第5A図のバラクタ負荷手段のC-V特性グラフ線図、第6A図はMOSバラクタのシンボル図、第6B図は第6A図に図示されたMOSバラクタの幾何学的構造図、第6C図は第6A図のMOSバラクタのC-V特性グラフ線図、第7A図はこの発明によるPMOSバラクタのシンボル図、第7B図は第7A図のC-V特性グラフ線図、第8A図はこの発明によるNMOSバラクタのシンボル図、第8B図は第8A図のC-V特性グラフ線図、第9A図は第8A図のMOSコンデンサの各端子電圧の連結構成を反対にした場合のNMOSバラクタのシンボル図、第9B図は第9A図のNMOSバラクタのC-V特性グラフ線図、第10A図、第11A図、第12A図、及び、第13A図はこの発明による組合バラクタ負

荷手段の実施例を示したシンボル図、第10B図、第11B図、第12B図、及び、第13B図はそれぞれ第10A図、第11A図、第12A図、及び、第13A図の組合バラクタ負荷手段のC-V特性グラフ線図、第14A図はこの発明による望ましいバラクタ負荷手段の変形された実施例のシンボル図、第14B図は第14A図のC-V特性グラフ線図、第15A図及び第16A図はこの発明による組合バラクタ負荷手段の変形された実施例のシンボル図、第15B図及び第16B図は第15A図及び第16A図のC-V特性グラフ線図である。

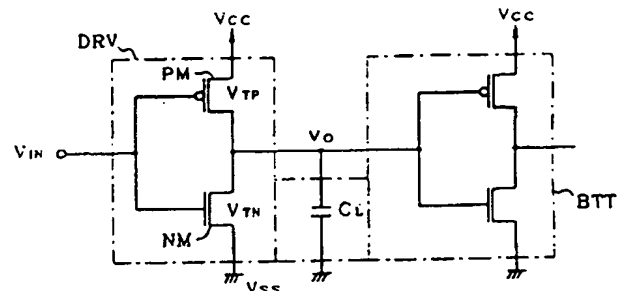
符号の説明

DRV駆動回路手段
CLコンデンサ負荷手段
NMプルダウンNMOSトランジスタ
PMプルアップPMOSトランジスタ
BTバッファ増幅器
VCLバラクタ負荷手段
VR基準電圧
1n形基板

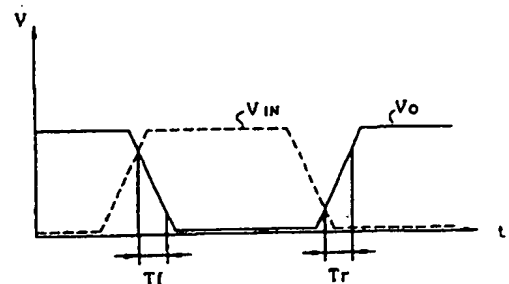
2ゲート絶縁層
3ゲート電極層
4P+ソース電極層
Lチャンネル長さ
Wチャンネル幅
1オーバーラップ長さ

特許出願人 三星電子株式会社
代理人 弁理士 平田 忠雄
同 酒井 宏明

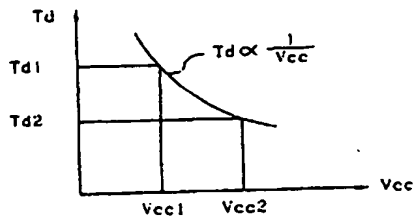
第1A図



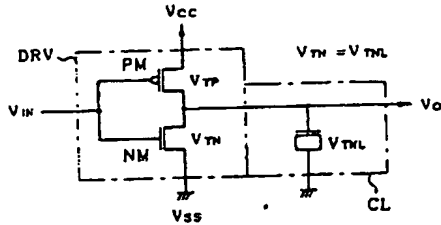
第1B図



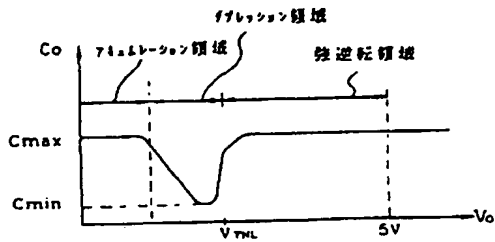
第 1C 図



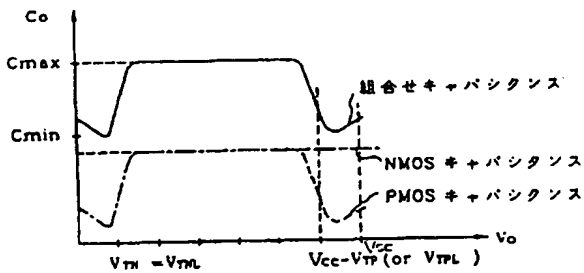
第 2A 図



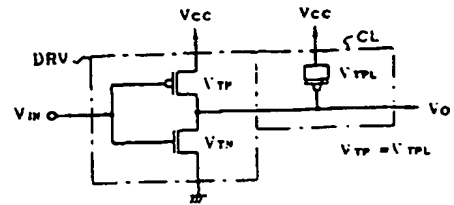
第 2B 図



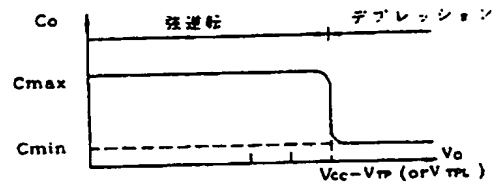
第 4B 図



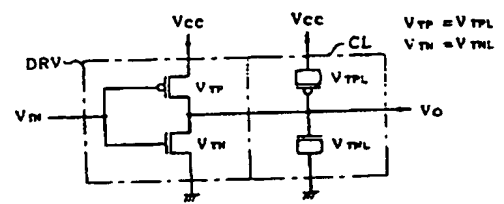
第 3A 図



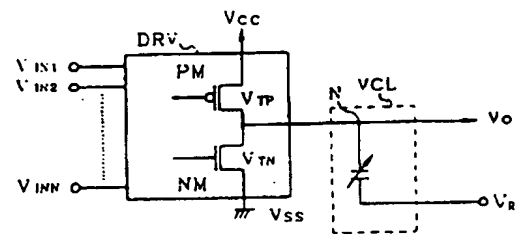
第 3B 図



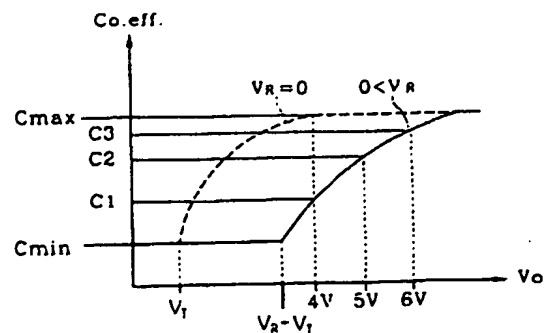
第 4A 図



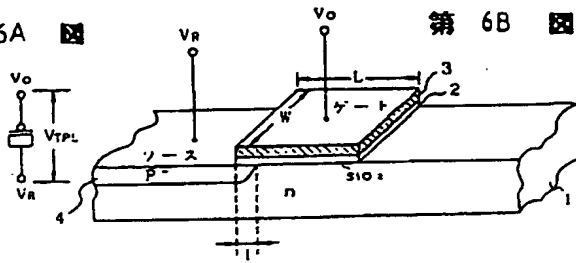
第 5A 図



第 5B 図

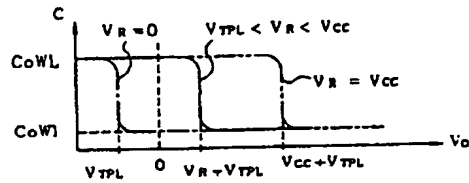


第 6A 図

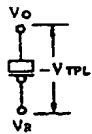


第 6B 図

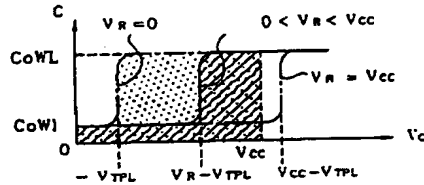
第 6C 図



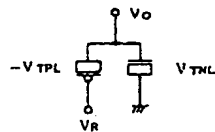
第 7A 図



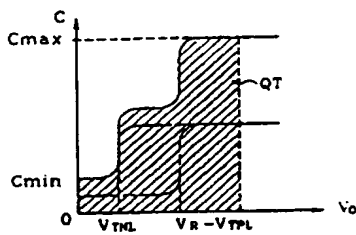
第 7B 図



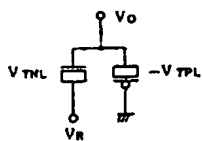
第 11A 図



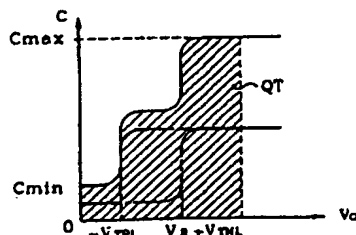
第 11B 図



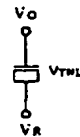
第 12A 図



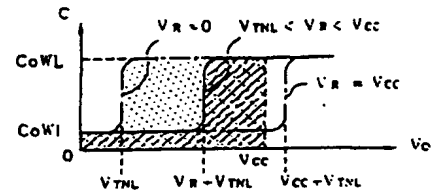
第 12B 図



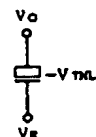
第 8A 図



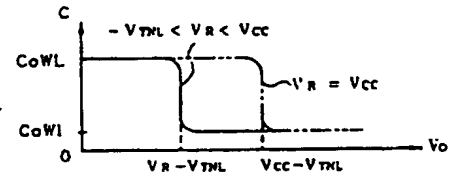
第 8B 図



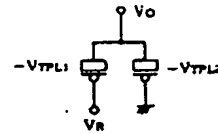
第 9A 図



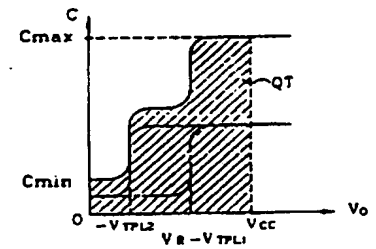
第 9B 図



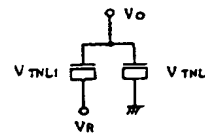
第 10A 図



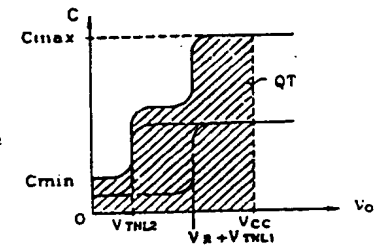
第 10B 図



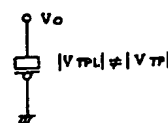
第 13A 図



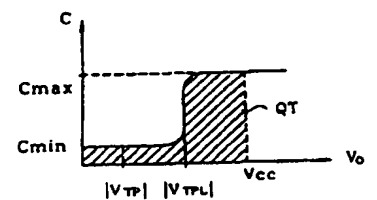
第 13B 図



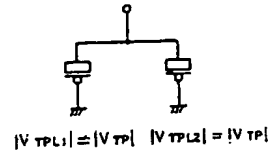
第 14A 図



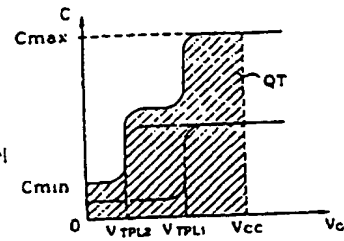
第 14B 図



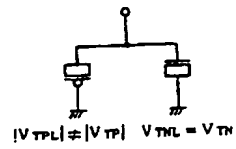
第 15A 図



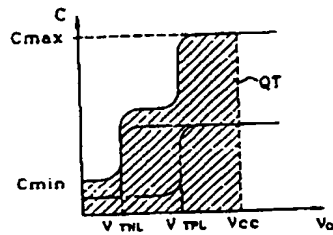
第 15B 図



第 16A 図



第 16B 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.